

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
2. August 2001 (02.08.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 01/56166 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: H03M 1/54

(21) Internationales Aktenzeichen: PCT/DE01/00036

(22) Internationales Anmeldedatum:  
8. Januar 2001 (08.01.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
100 03 637.6 28. Januar 2000 (28.01.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): EICHFELD, Herbert [DE/DE]; Adelgundenstrasse 4, 80538 München (DE). SAUERBREY, Jens [DE/DE]; Westerhamer Weg 30, 82024 Taufkirchen (DE).

(74) Anwalt: VIERING, JENTSCHURA & PARTNER; Postfach 22 14 43, 80504 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

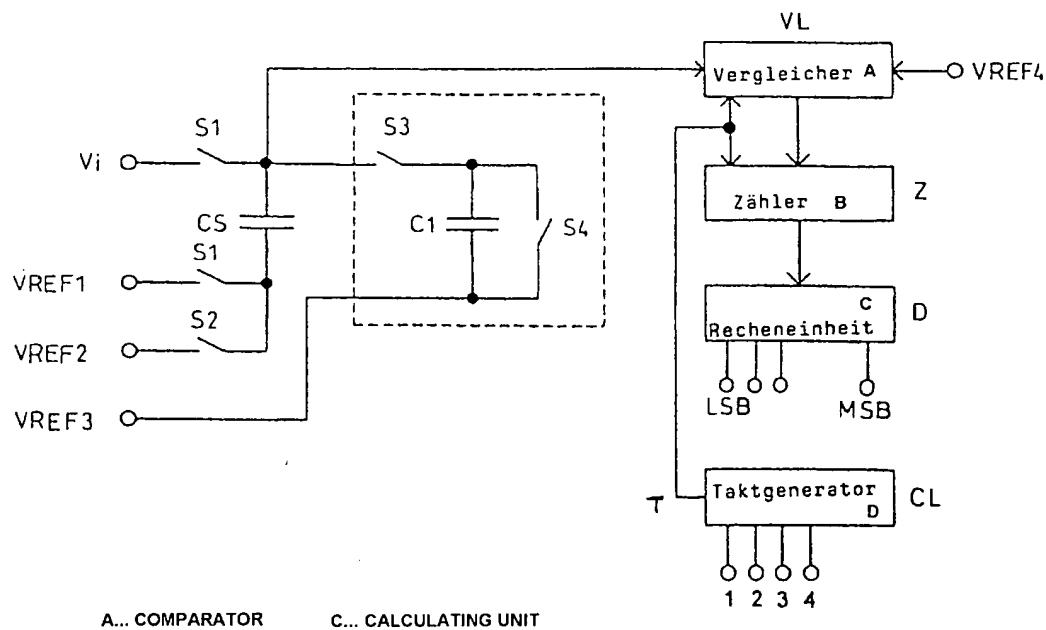
**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND ANALOG-TO-DIGITAL CONVERTER FOR CONVERTING AN ANALOG VOLTAGE INTO AN ARITHMETICAL VALUE

(54) Bezeichnung: VERFAHREN UND ANALOG-DIGITAL-WANDLER ZUR UMSETZUNG EINER ANALOGEN SPANNUNG IN EINEN ARITHMETISCHEN WERT



A... COMPARATOR  
B... COUNTER

C... CALCULATING UNIT  
D... CLOCK GENERATOR

**WO 01/56166 A2**

(57) Abstract: According to the inventive method for converting an analog voltage ( $V_i$ ) is applied to a sample and hold capacitor ( $CS$ ) which is discharged in several steps by at least one discharge capacitor ( $C_1, \dots, C_N$ ) until a predetermined reference voltage ( $V_{REF4}$ ) is reached. The arithmetical value, preferably the digital value, of the analog voltage ( $V_i$ ) is calculated from the number of discharge steps, which is exponentially related to the analog voltage ( $V_i$ ), by means of an exponential function. An analog-to-digital converter for carrying out this method is characterized by a simple construction and low power loss.

[Fortsetzung auf der nächsten Seite]



Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

---

(57) **Zusammenfassung:** Zur Umsetzung einer analogen Spannung ( $V_i$ ) in einen arithmetischen, vorzugsweise einen digitalen Wert wird die analoge Spannung ( $V_i$ ) an einen Abtast- und Haltekondensator (CS) gelegt, der in mehreren Schritten von mindestens einem Entladekondensator (C1, ... CN) bis auf eine vorgebbare Referenzspannung (VREF4) entladen wird. Aus der Anzahl der Entladeschritte, die in einem exponentiellen Zusammenhang zur analogen Spannung ( $V_i$ ) steht, wird mittels einer Exponentialfunktion der arithmetische, vorzugsweise der digitale Wert der analogen Spannung ( $V_i$ ) berechnet. Ein Analog-Digital-Wandler zur Durchführung dieses Verfahrens zeichnet sich durch einfachen Aufbau und geringe Verlustleistung aus.

## Beschreibung

Verfahren und Analog-Digital-Wandler zur Umsetzung einer analogen Spannung in einen arithmetischen Wert

5

Die Erfindung betrifft ein Verfahren sowie einen Analog-Digital-Wandler mit einem Abtast- und Halteglied aus einem steuerbaren Schalter und einem Abtast- und Haltekondensator zur Umsetzung einer analogen Spannung in einen arithmetischen

10 Wert.

Verfahren und Analog-Digital-Wandler zur Umsetzung einer analogen Spannung in einen digitalen Wert sind beispielsweise in U. Tietze, Ch. Schenk Halbleiterschaltungstechnik, 10. Auflage, Springer Verlag, Berlin, Heidelberg, New York, 1993, auf Seite 769 bis 790 beschrieben.

Die bekannten Verfahren zur Umsetzung einer analogen Spannung in einen digitalen Wert lassen sich in das Parallelverfahren, 20 das Wägeverfahren und das Zählverfahren einteilen.

Das Parallelverfahren sieht vor, die analoge Eingangsspannung mit mehreren Referenzspannungen zu vergleichen, um festzustellen, zwischen welchen beiden benachbarten Referenzspannungen die Eingangsspannung liegt. Das Parallelverfahren erfordert wegen seiner zahlreichen Vergleicher, deren Anzahl der Anzahl der Referenzspannungen entspricht, einen hohen schaltungstechnischen Aufwand.

30 Beim Wägeverfahren wird die analoge Ausgangsspannung eines Digital-Analog-Wandlers, der von einem Register nach der sukzessiven Approximation mit Zahlenwerten beaufschlagt wird, in einem Vergleicher mit der in einen digitalen Wert umzusetzenden analogen Eingangsspannung verglichen. Auf diese Weise 35 wird der digitale Wert der analogen Eingangsspannung mit dem MSB beginnend Bit für Bit bis zum LSB ermittelt. Als Nachteil des Wägeverfahrens ist der hohe Schaltungsaufwand zu nennen,

denn obwohl es sich um ein Verfahren zur Analog-Digital-Umsetzung bzw. um einen Analog-Digital-Wandler handelt, ist ein Digital-Analog-Wandler erforderlich.

5 Auch eine Variante des Zählverfahrens sieht einen Digital-Analog-Wandler vor, der von einem Vorwärts-Rückwärts-Zähler angesteuert wird. Der Vorwärts-Rückwärts-Zähler kann von 0 an aufwärts oder vom Höchststand an abwärts zählen. Die analoge Ausgangsspannung des Digital-Analog-Wandlers, die vom Zähler-  
10 stand des Vorwärts-Rückwärts-Zählers bestimmt wird, wird in einem Vergleicher mit der umzusetzenden analogen Eingangsspannung verglichen.

Es sind noch weitere Zählverfahren bekannt, die jedoch ohne  
15 einen Digital-Analog-Wandler arbeiten.

Das Zählverfahren zeichnet sich unter den bekannten Verfahren zur Umsetzung einer analogen Eingangsspannung in einen digitalen Wert durch den geringsten Schaltungsaufwand aus, ist  
20 aber mit dem Nachteil der längsten Umsetzdauer behaftet.

Ferner ist aus EP 0 316 616 A2 ein Verfahren zum Umsetzen einer analogen Spannung in einen arithmetischen Wert bekannt, bei dem die analoge Spannung an einen Abtast- und Haltekondensator gelegt wird, der mit einem steuerbaren Schalter und  
25 einem Vergleicher verbunden ist.

Es ist Aufgabe der Erfindung, ein Verfahren und einen Analog-Digital-Wandler zur Umsetzung einer analogen Spannung in einen arithmetischen, insbesondere einen digitalen Wert so zu gestalten, dass sich der erfindungsgemäße Analog-Digital-Wandler durch einfachen Aufbau und niedrige Verlustleistung auszeichnet.  
30

35 Verfahrensmäßig wird diese Aufgabe mit den im Anspruch 1 angegebenen Merkmalen dadurch gelöst, dass die analoge Spannung an einen Abtast- und Haltekondensator gelegt wird, der in

mehreren Schritten von einem Entladekondensator oder mehreren Entladekondensatoren bis auf eine vorgebbare Referenzspannung entladen wird, und dass aus der Anzahl der Entladeschritte, die in einem exponentiellen Zusammenhang zur analogen Spannung steht, mittels einer Exponentialfunktion der arithmetische Wert der analogen Spannung berechnet wird.

Vorrichtungsmäßig wird diese Aufgabe mit einem Analog-Digital-Wandler gemäß Anspruch 9 dadurch gelöst, dass der  
10 erste Anschluss des Abtast- und Haltekondensators mit dem Ausgang eines ersten steuerbaren Schalters, an dessen Eingang die analoge Spannung liegt, mit dem Eingang eines zweiten steuerbaren Schalters und mit dem ersten Eingang eines Vergleichers verbunden ist, an dessen zweitem Eingang eine erste  
15 Referenzspannung liegt, dass der zweite Anschluss des Abtast- und Haltekondensators mit dem Ausgang eines dritten steuerbaren Schalters verbunden ist, an dessen Eingang eine zweite Referenzspannung liegt, dass der Ausgang des zweiten steuerbaren Schalters mit dem ersten Anschluss eines ersten Entla-  
20 dekondensators verbunden ist, der von einem vierten steuerbaren Schalter überbrückt ist und an dessen zweitem Anschluss eine dritte Referenzspannung liegt, dass der zweite steuerbare Schalter, der erste Entladekondensator und der vierte steuerbare Schalter eine Entladestufe bilden, dass je  
25 ein Taktausgang eines Taktgenerators mit dem Steuereingang je eines der steuerbaren Schalter verbunden ist und dass der Ausgang des Vergleichers mit dem Zähleingang eines Zählers verbunden ist, dessen Ausgang mit einer Recheneinheit verbun-  
den ist, an deren Ausgang bzw. an deren Ausgängen der arith-  
30 metische Wert der analogen Spannung abnehmbar ist.

Das erfindungsgemäße Verfahren sieht vor, die analoge in einen arithmetischen Wert umzusetzende Spannung an einen Abtast- und Haltekondensator zu legen. Mittels eines Entladekondensators oder mittels mehrerer Entladekondensatoren wird der Abtast- und Haltekondensator in mehreren Entladeschritten so lange entladen, bis die Spannung an ihm auf eine vorgeba-

re Referenzspannung gesunken ist, die vorzugsweise zu 0 V gewählt ist. Nach jedem Entladeschritt wird der Entladekondensator entladen, um erneut Ladung vom Abtast- und Haltekondensator entnehmen zu können. Der Abtast- und Haltekondensator 5 wird daher bei jedem Entladeschritt um eine bestimmte Ladungsmenge entladen.

Die Anzahl der Entladeschritte, die zum Beispiel mittels eines Zählers bestimmt wird, ist ein Maß für die analoge Spannung, auf die der Abtast- und Haltekondensator geladen wurde. 10 Zwischen der analogen Spannung am Abtast- und Haltekondensator und der Anzahl der erforderlichen Entladeschritte besteht ein exponentieller Zusammenhang. Aus der Anzahl der Entladeschritte wird mittels einer Exponentialfunktion die analoge 15 Spannung am Abtast- und Haltekondensator berechnet.

Die Entladung des Abtast- und Haltekondensators kann mittels eines Entladekondensators in mehreren Schritten durchgeführt werden. Es kann aber auch für jeden Entladeschritt ein Entladekondensator vorgesehen sein. Der Einsatz mehrerer Entladekondensatoren ist dann vorteilhaft, wenn der erfindungsgemäße 20 Analog-Digital-Wandler als integrierter Baustein realisiert ist, wofür er besonders gut geeignet ist. Bei einer Realisierung als integrierter Schaltkreis kann der Entladekondensator 25 sehr klein ausfallen. Um statistische Streuungen zu kompensieren, ist es dann vorteilhaft, mehrere Entladekondensatoren vorzusehen. Die Entladekondensatoren für die einzelnen Entladeschritte werden nach einem Algorithmus ausgesucht, der Fehler infolge statistischer Streuungen weitgehend kompensiert. 30 Beispielsweise kann hierfür ein sogenannter "Averaging" oder ein sogenannter "Dynamic element matching-Algorithmus" vorgesehen sein.

Wie bereits erwähnt kann der arithmetische Wert der analogen 35 Spannung am Abtast- und Haltekondensator mittels einer Exponentialfunktion berechnet werden. Anstelle jedoch eine Rechenoperation durchzuführen, ist es auch möglich, eine soge-

nannte Lookup-Tabelle vorzusehen, in welcher der Zusammenhang zwischen der analogen Spannung am Abtast- und Haltekondensator und dem Zählerstand abgelegt ist. In dieser Lookup-Tabelle ist für jeden Zählerstand die zugehörige analoge  
5 Spannung gespeichert.

Die schaltungstechnische Realisierung des erfindungsgemäßen Verfahrens wird anhand der in den Figuren gezeigten erfindungsgemäßen Analog-Digital-Wandler näher beschrieben und er-  
10 läutert.

In der Zeichnung zeigen:

Figur 1 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Analog-Digital-Wandlers mit besonders einfachem Aufbau,  
15

Figur 2 das Steuerimpulsdiagramm des ersten Ausführungsbei-  
spieles,  
20

Figur 3 ein zweites Ausführungsbeispiel eines erfindungsgemäßen Analog-Digital-Wandlers mit mehreren Entladekon-  
densatoren und  
25

Figur 4 eine Lookup-Tabelle.

Bei dem in der Figur 1 abgebildeten ersten Ausführungsbeispiels eines erfindungsgemäßen Analog-Digital-Wandlers ist der erste Anschluss des Abtast- und Haltekondensators CS mit dem Ausgang eines steuerbaren Schalters S1, an dessen Eingang die analoge Spannung Vi liegt, mit dem Eingang eines steuerbaren Schalters S3 und mit dem ersten Eingang eines Vergleichers VL verbunden. Am zweiten Eingang des Vergleichers VL liegt eine Referenzspannung VREF4, die beispielsweise zu 0 V gewählt ist. Der zweite Anschluss des Abtast- und Haltekondensators CS ist mit dem Ausgang eines weiteren steuerbaren Schalters S1 verbunden, an dessen Eingang eine Referenzspan-

nung VREF1 liegt. Der Ausgang eines steuerbaren Schalters S3 ist mit dem ersten Anschluss eines Entladekondensators C1 verbunden, der von einem steuerbaren Schalter S4 überbrückt ist und an dessen zweitem Anschluss eine Referenzspannung

5 VREF3 liegt. Der Ausgang des Vergleichers VL ist mit dem Zähleingang eines Zählers Z verbunden, dessen Ausgang mit einer Recheneinheit D verbunden ist. Am Ausgang bzw. an den Ausgängen der Recheneinheit D ist der arithmetische Wert der analogen Spannung Vi abnehmbar.

10

Der Schaltungsteil aus den steuerbaren Schaltern S3 und S4 sowie dem Entladekondensator C1 stellen eine Entladestufe dar. Parallel zum steuerbaren Schalter S1, an dem die Referenzspannung VREF1 liegt, kann ein weiterer steuerbarer

15 Schalter S2 parallel liegen, an dem eine Referenzspannung VREF2 liegt. Die beiden Referenzspannungen VREF1 und VREF2 können zum Beispiel gleich groß und zu 0 V gewählt sein. Die Referenzspannung VREF3 am Entladekondensator C1 ist beispielsweise zu -1 V gewählt.

20

Der Taktausgang 1 eines Taktgenerators CL ist mit den Steuereingängen der steuerbaren Schalter S1, der Taktausgang 2 mit dem Steuereingang des steuerbaren Schalters S2, der Taktausgang 3 mit dem Steuereingang des steuerbaren Schalters S3, 25 der Taktausgang 4 mit dem Steuereingang des steuerbaren Schalters S4 und der Taktausgang T mit dem Takteingang des Vergleichers VL und des Zählers Z verbunden.

Zu Beginn des erfindungsgemäßen Verfahrens sind die beiden 30 steuerbaren Schalter S1 geschlossen, damit der Abtast- und Haltekondensator CS auf die analoge Spannung Vi aufgeladen wird, während gleichzeitig der steuerbare Schalter S3 geöffnet und der steuerbare Schalter S4 geschlossen ist, um den Entladekondensator C1 zu entladen. Im nächsten Verfahrensschritt werden die steuerbaren Schalter S1 und S4 geöffnet, 35 der steuerbare Schalter S3 dagegen geschlossen, damit der Entladekondensator C1 Ladung vom Abtast- und Haltekondensator

CS übernehmen kann. Die am Abtast- und Haltekondensator CS verbleibende Spannung wird im Vergleicher VL mit der Referenzspannung VREF4 verglichen. Ist die Restspannung am Abtast- und Haltekondensator CS größer als die Referenzspannung 5 VREF4, wird ein neuer Entladeschritt durchgeführt.

Hierzu wird der steuerbare Schalter S3 geöffnet, während der steuerbare Schalter S4 geschlossen wird, um den Entladekondensator C1 zu entladen. Die steuerbaren Schalter S1 bleiben 10 weiterhin geöffnet. Nach Entladung des Entladekondensators C1 wird der steuerbare Schalter S4 geöffnet, der steuerbare Schalter S3 dagegen geschlossen, um die restliche Spannung am Abtast- und Haltekondensator CS abzugreifen. Daraufhin wird der steuerbare Schalter S3 wieder geöffnet und der steuerbare 15 Schalter S4 wieder geschlossen. Die Entladungsschritte, die vom Zähler Z gezählt werden, werden so lange fortgesetzt, bis der Vergleicher VL feststellt, dass die Spannung am Abtast- und Haltekondensator kleiner oder gleich der Referenzspannung VREF4 ist. Der Zähler Z gibt dann seinen Zählerstand an die 20 Recheneinheit D ab, die mittels einer Exponentialfunktion aus dem Zählerstand den arithmetischen Wert der Spannung Vi am Abtast- und Haltekondensator CS berechnet. Vorzugsweise berechnet die Recheneinheit D den digitalen Wert, so dass an 25 den Ausgängen der Recheneinheit D die Bits des digitalen Wertes, vom LSB bis zum MSB, abnehmbar sind. Die steuerbaren Schalter S1, S2, S3 und S4 sowie der Vergleicher VL und der Zähler Z werden vom Taktgenerator CL gesteuert bzw. getaktet.

In der Figur 2 sind die Taktimpulse gezeigt, die der Taktgenerator CL an seinen Taktausgängen 1, 2, 3 und 4 abgibt. Der 30 Takt am Taktausgang 1 taktet die steuerbaren Schalter S1, der Takt am Taktausgang 2 taktet den steuerbaren Schalter S2, der Takt am Taktausgang 3 den steuerbaren Schalter S3 und der Takt am Taktausgang 4 den steuerbaren Schalter S4. Die steuerbaren Schalter S1 werden gleichzeitig geöffnet und geschlossen. 35

In der Figur 3 ist ein erfindungsgemäßer Analog-Digital-Wandler mit N Entladestufen E1 bis EN gezeigt. Jede Entladestufe Ei ist aus einer Reihenschaltung bestehend aus einem steuerbaren Schalter S3i und einem Entladekondensator Ci aufgebaut, der von einem steuerbaren Schalter S4i überbrückt ist. Die einzelnen Entladestufen E1 bis EN sind parallel geschaltet. Für jeden Entladeschritt ist eine Entladestufe vorgesehen.

10 Besonders vorteilhaft ist es, einen Funktionsgenerator F vorzusehen, dessen Ausgang mit dem Steuereingang des Taktgenerators CL verbunden ist. Der Funktionsgenerator F bestimmt nach einem Algorithmus die Reihenfolge des Einsatzes der N Entladekondensatoren C1 bis CN. Diese Reihenfolge kann zum Beispiel nach dem sogenannten "Averaging" oder nach dem sogenannten "Dynamic element matching-Algorithmus" bestimmt werden. Diese Maßnahme hat den Vorteil, dass die statistischen Streuungen der Entladekondensatoren C1 bis CN, die zu Fehlern beim Umsetzen der analogen Spannung in einen arithmetischen Wert führen, weitgehend kompensiert werden. Am Taktgenerator CL ist für jeden steuerbaren Schalter S1, S2, S31 bis S3N sowie S41 bis S4N je ein Taktausgang 1, 2, 31 bis 3N sowie 41 bis 4N vorgesehen.

15 20 25 30 In der Figur 4 ist eine sogenannte Lookup-Tabelle dargestellt, welche den Zusammenhang des Zählerstandes des Zählers Z mit der analogen Spannung Vi am Abtast- und Haltekondensator CS wiedergibt. Anstatt aus dem Zählerstand mittels einer Exponentialfunktion den arithmetischen Wert der analogen Spannung Vi zu berechnen, kann der arithmetische Wert auch aus der Lookup-Tabelle entnommen werden.

35 Vorzugsweise wird der digitale Wert der analogen Spannung Vi bestimmt. Der erfindungsgemäße Analog-Digital-Wandler ist besonders gut zur Integration geeignet. Gegenüber bekannten Analog-Digital-Wandlern zeichnet sich der erfindungsgemäße Analog-Digital-Wandler durch den ersten Vorteil eines sehr

einfachen Aufbaus und den zweiten Vorteil einer niedrigen Verlustleistung aus. Er lässt sich überall dort vorteilhaft einsetzen, wo ein Analog-Digital-Wandler benötigt wird.

## Patentansprüche

1. Verfahren zur Umsetzung einer analogen Spannung ( $V_i$ ) in einen arithmetischen Wert,
  - 5 • bei dem die analoge Spannung ( $V_i$ ) an einen Abtast- und Haltekondensator (CS) gelegt wird, der in mehreren Schritten von einem Entladekondensator oder mehreren Entladekondensatoren ( $C_1, \dots, C_N$ ) bis auf eine vorgebbare Referenzspannung ( $V_{REF4}$ ) entladen wird, und
  - 10 • bei dem aus der Anzahl der Entladeschritte die in einem exponentiellen Zusammenhang zur analogen Spannung ( $V_i$ ) steht, mittels einer Exponentialfunktion der arithmetische Wert der analogen Spannung berechnet wird.
- 15 2. Verfahren nach Anspruch 1,  
bei dem der digitale Wert der analogen Spannung ( $V_i$ ) berechnet wird.
- 20 3. Verfahren nach Anspruch 1 oder 2,  
bei dem für jeden Entladeschritt ein Entladekondensator ( $C_1, \dots, C_N$ ) vorgesehen ist.
- 25 4. Verfahren nach Anspruch 3,  
bei dem der jeweils für einen Entladevorgang vorgesehene Entladekondensator ( $C_1, \dots, C_N$ ) nach einem Algorithmus ausgewählt wird.
- 30 5. Verfahren nach Anspruch 1, 2, 3 oder 4,  
bei dem bei jedem Entladevorgang der Zählerstand eines Zählers (Z) um 1 inkrementiert wird.
- 35 6. Verfahren nach Anspruch 1, 2, 3, 4 oder 5,  
bei dem nach jedem Entladevorgang die analoge Spannung ( $V_i$ ) am Abtast- und Haltekondensator (CS) von einem Vergleicher (VL) mit der vorgebbaren Referenzspannung ( $V_{REF4}$ ) verglichen wird.

7. Verfahren nach einem der Ansprüche 1 bis 6,  
bei dem die vorgebbare Referenzspannung (VREF4) zu 0 V ge-  
wählt wird.

5    8. Verfahren nach einem der Ansprüche 1 bis 7,  
bei dem der arithmetische Wert der analogen Spannung (Vi) am  
Abtast- und Haltekondensator (CS) aus einer sogenannten Loo-  
kup-Tabelle entnommen wird, in welcher der Zusammenhang zwi-  
schen der analogen Spannung (Vi) und dem Zählerstand abgelegt  
10 ist.

9. Analog-Digital-Wandler mit einem Abtast- und Haltekonden-  
sator (CS) zur Umsetzung einer analogen Spannung (Vi) in ei-  
nen arithmetischen Wert,

15    • bei dem der erste Anschluss des Abtast- und Haltekonden-  
sators CS mit dem Ausgang eines ersten steuerbaren  
Schalters (S1), an dessen Eingang die analoge Spannung  
(Vi) liegt, mit dem Eingang eines zweiten steuerbaren  
Schalters (S3) und mit dem ersten Eingang eines Verglei-  
20    chers (VL) verbunden ist, an dessen zweitem Eingang eine  
ersten Referenzspannung (VREF4) liegt,

25    • bei dem der zweite Anschluss des Abtast- und Haltekon-  
densators (CS) mit dem Ausgang eines dritten steuerbaren  
Schalters (S1) verbunden ist, an dessen Eingang eine  
zweite Referenzspannung (VREF1) liegt,

30    • bei dem der Ausgang des zweiten steuerbaren Schalters  
(S3) mit dem ersten Anschluss eines ersten Entladekon-  
densators (C1) verbunden ist, der von einem vierten  
steuerbaren Schalter (S4) überbrückt ist und an dessen  
zweitem Anschluss eine dritte Referenzspannung (VREF3)  
liegt,

35    • bei dem der zweite und der vierte steuerbare Schalter  
(S3, S4) und der erste Entladekondensator (C1) eine ers-  
te Entladestufe (E1) bilden,

• bei dem je ein Taktausgang (1, 3, 4) eines Taktgenera-  
tors (CL) mit dem Steuereingang je eines der steuerbaren  
Schalter (S1, S3, S4) verbunden ist,

- bei dem der Ausgang des Vergleichers (VL) mit dem Zähleingang eines Zählers (Z) verbunden ist, dessen Ausgang mit einer Recheneinheit (D) verbunden ist, an deren Ausgang bzw. an deren Ausgängen der arithmetische Wert (LSB, MSB) der analogen Spannung (Vi) abnehmbar ist, und
- bei dem ein Taktausgang (T) des Taktgenerators (CL) mit dem Takteingang des Vergleichers (VL) und des Zählers (Z) verbunden ist.

5           10. Analog-Digital-Wandler nach Anspruch 9,  
bei dem der zweite Anschluss des Abtast- und Haltekondensators (CS) mit dem zweiten Anschluss des ersten Entladekondensators (C1) verbunden ist.

10          11. Analog-Digital-Wandler nach Anspruch 9 oder 10,  
bei dem der zweite Anschluss des Abtast- und Haltekondensators (CS) mit dem Ausgang eines fünften steuerbaren Schalters (S2) verbunden ist, an dessen Eingang eine vierte Referenzspannung (VREF2) liegt, und dessen Steuerausgang mit einem  
20         Taktausgang (2) des Taktgenerators (CL) verbunden ist.

15          12. Analog-Digital-Wandler nach einem der Ansprüche 9 bis 11,  
bei dem N Entladestufen (E1, ... EN) mit N zweiten Schaltern (S31, ... S3N), mit N vierten steuerbaren Schaltern (S41, ...  
25         S4N) sowie N Entladekondensatoren (C1, ... CN) parallel geschaltet sind.

20          13. Analog-Digital-Wandler nach Anspruch 12,  
bei dem der Ausgang eines Funktionsgenerators (F) mit dem  
30         Steuereingang des Taktgenerators (CL) verbunden ist.

35          14. Analog-Digital-Wandler nach einem der Ansprüche 9 bis 13,  
bei dem die zweite und die vierte Referenzspannung (VREF1,  
VREF2) gleich groß gewählt sind.

35          15. Analog-Digital-Wandler nach einem der Ansprüche 9 bis 14,  
bei dem die erste, die zweite und die vierte Referenzspannung

13

(VREF4, VREF1, VREF2) zu 0 V und die dritte Referenzspannung  
(VREF3) zu -1 V gewählt sind.

16. Analog-Digital-Wandler nach einem der Ansprüche 9 bis 15,

5 bei dem der Analog-Digital-Wandler als integrierter Schalt-  
kreis realisiert ist.

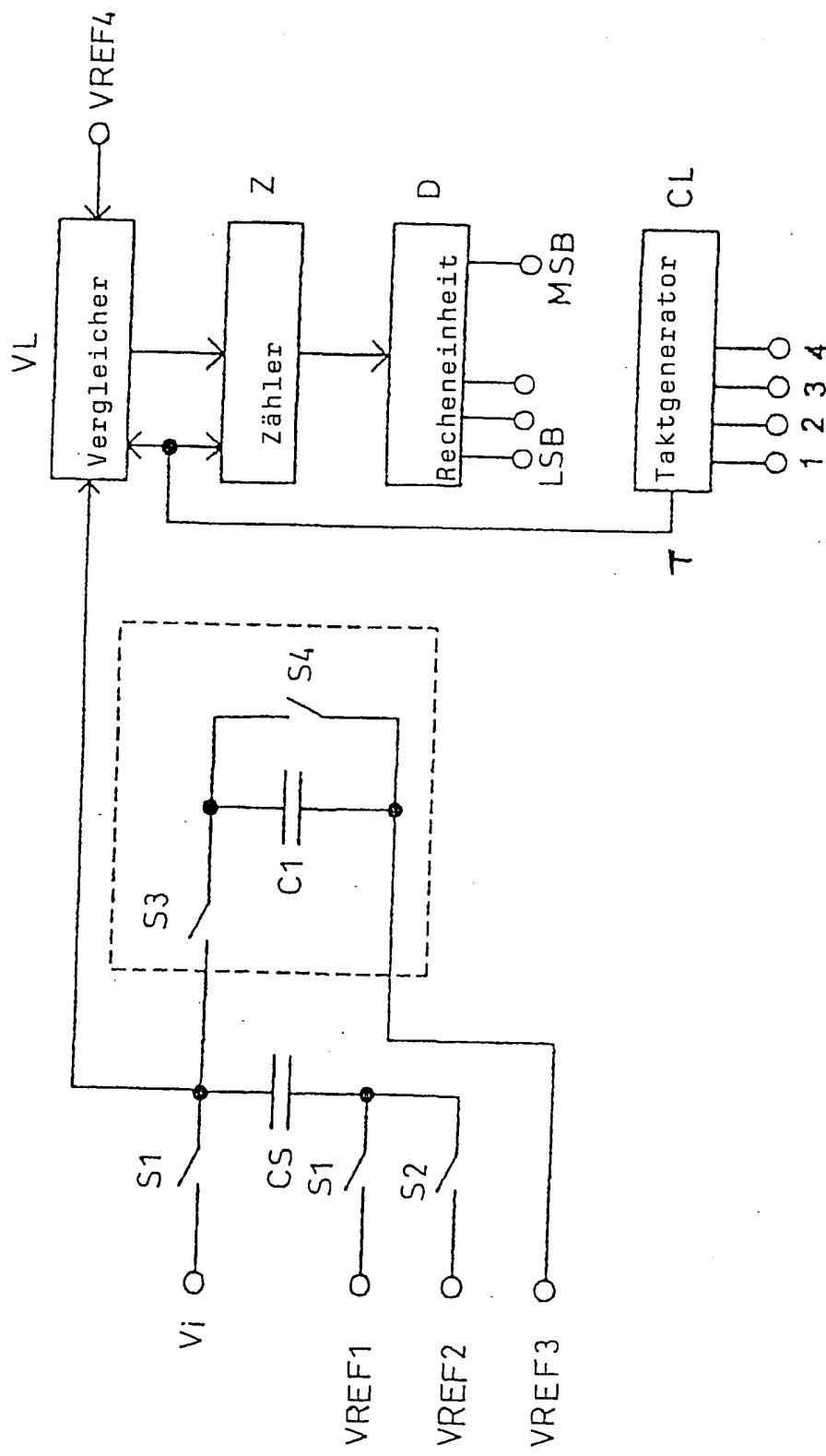


Fig. 1

2/4

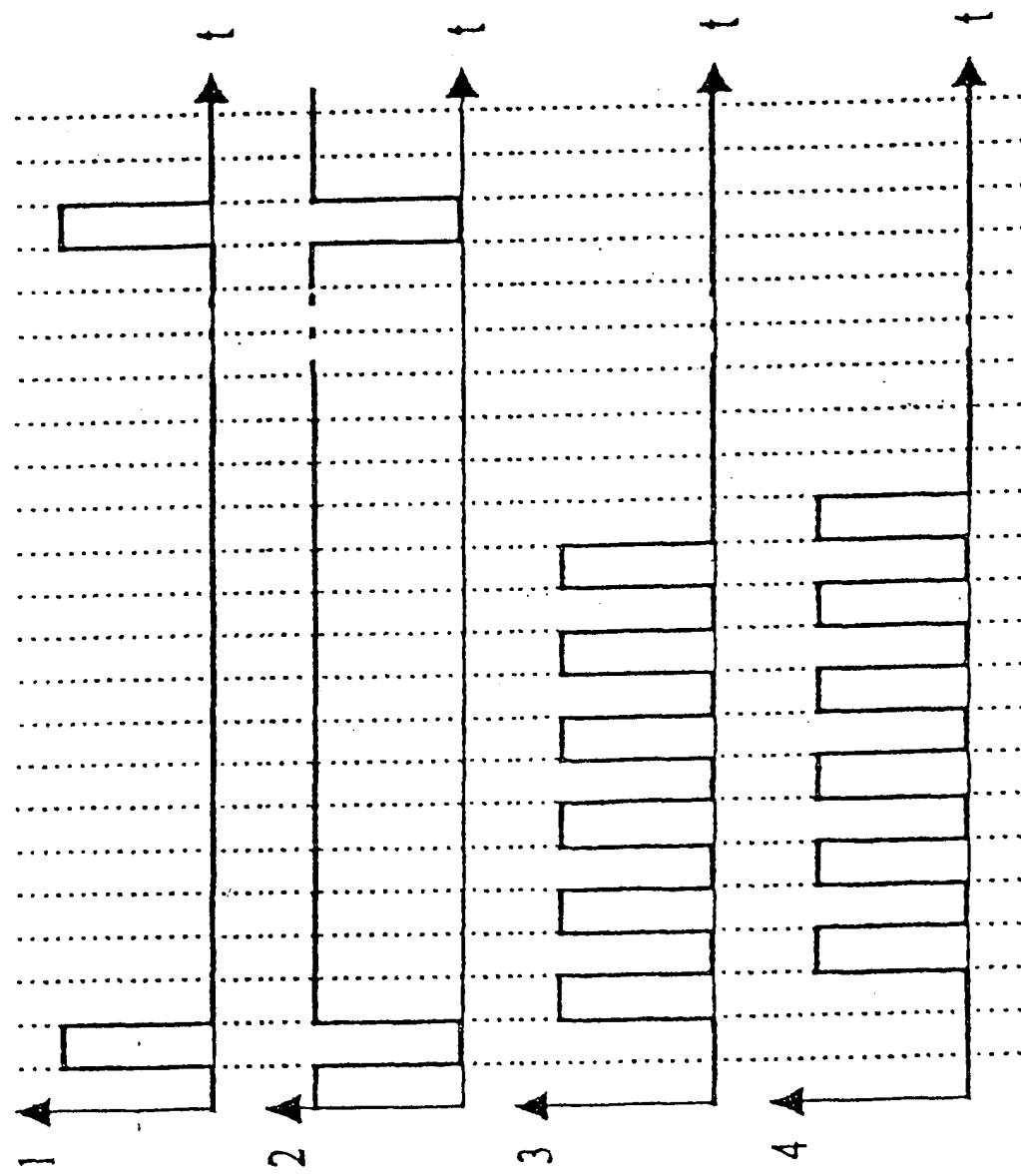


Fig. 2

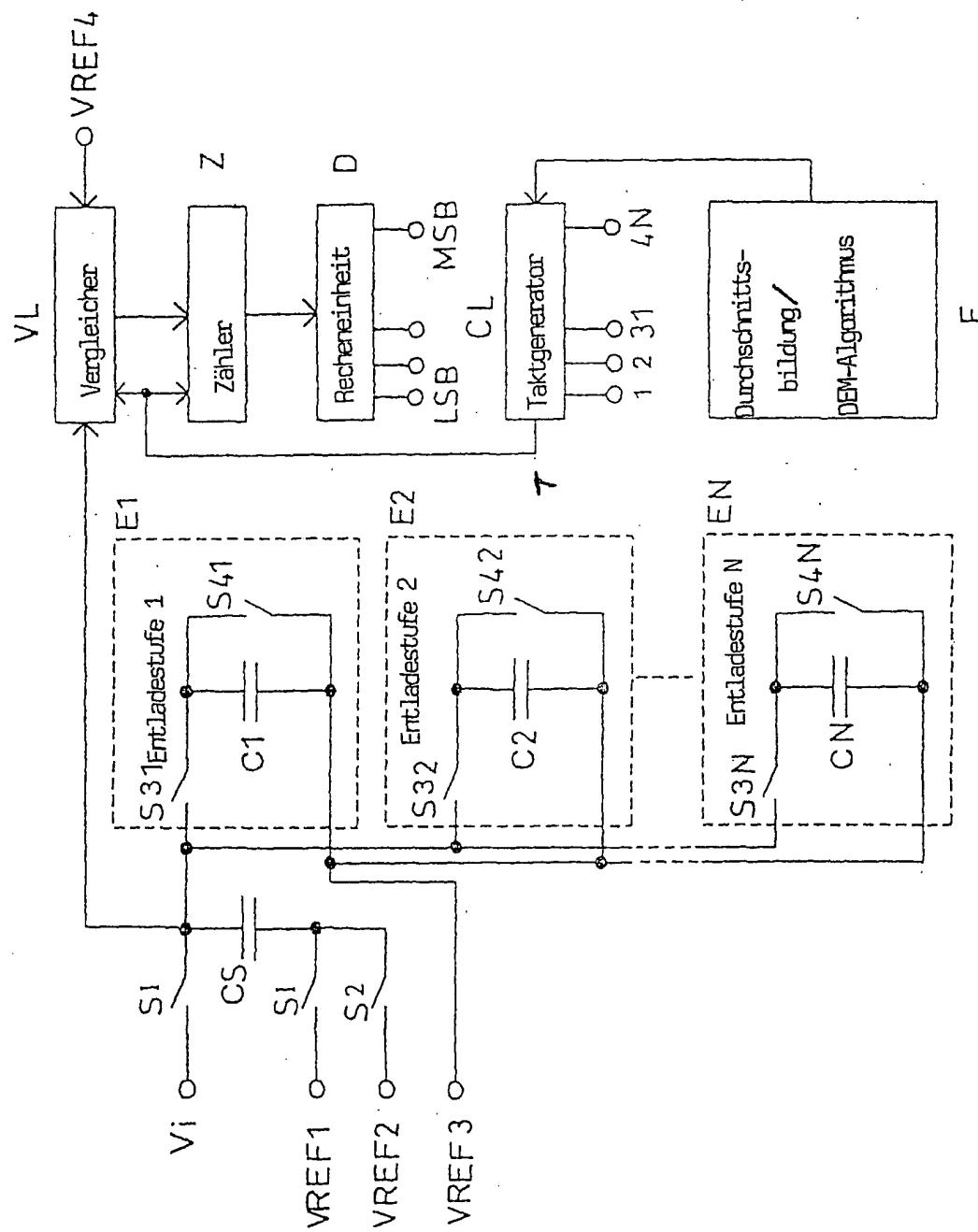


Fig. 3

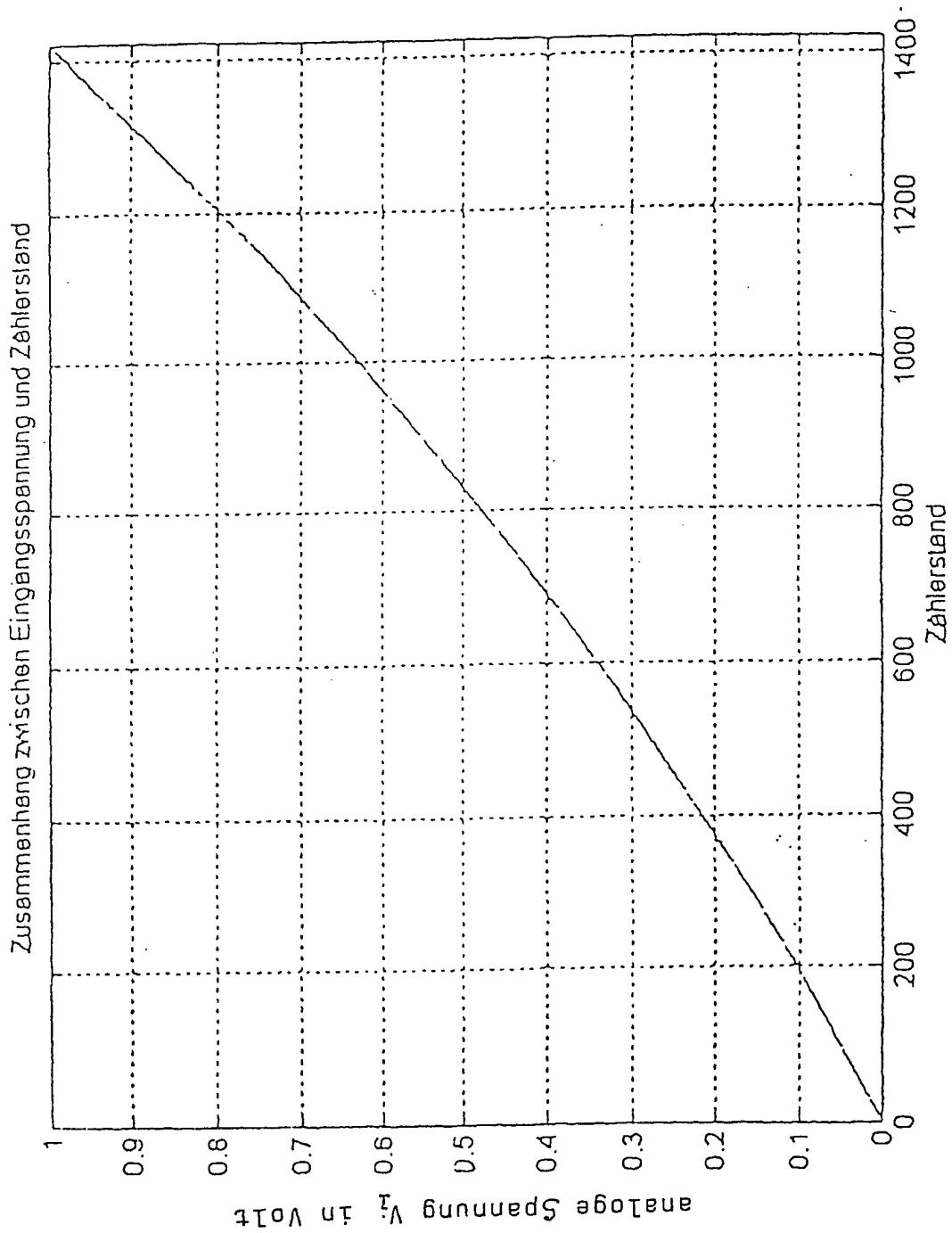


Fig. 4

**THIS PAGE BLANK (USPTO)**